

特表平11-501761

(43)公表日 平成11年(1999)2月9日

(51)Int.C1.<sup>6</sup>  
G 11 C 16/06

識別記号

F I  
G 11 C 17/00 634 F  
632 A

審査請求 有 予備審査請求 未請求 (全25頁)

(21)出願番号 特願平10-502933  
 (86)(22)出願日 平成9年(1997)4月12日  
 (85)翻訳文提出日 平成10年(1998)2月18日  
 (86)国際出願番号 PCT/US97/06531  
 (87)国際公開番号 WO97/49085  
 (87)国際公開日 平成9年(1997)12月24日  
 (31)優先権主張番号 08/665,697  
 (32)優先日 1996年6月18日  
 (33)優先権主張国 米国(US)  
 (81)指定国 EP(AT, BE, CH, DE,  
 DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), JP, KR

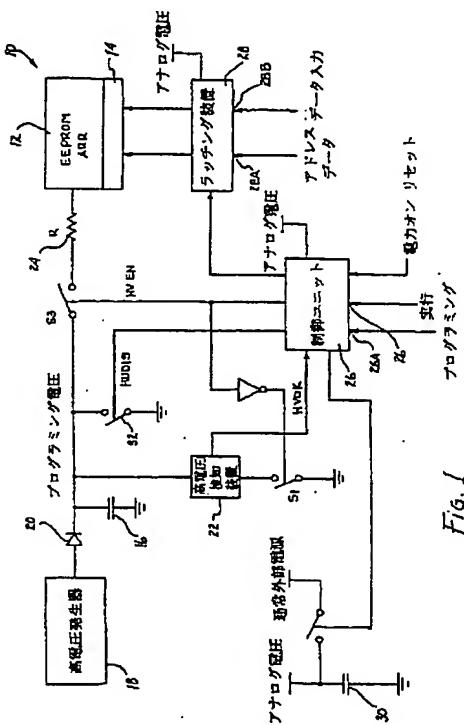
(71)出願人 マイクロチップ テクノロジー, インコーポレイテッド  
 アメリカ合衆国, 85224 アリゾナ州, チャンドラー, ウエスト チャンドラー ブールバード 2355  
 (72)発明者 ブルーワー, フレデリック, ジー.  
 アメリカ合衆国, 85226 アリゾナ州, チャンドラー, ウエスト パーク アベニュー  
 5741  
 (74)代理人 弁理士 吉岡 宏嗣 (外2名)

最終頁に続く

(54)【発明の名称】フェイルセーフ不揮発性メモリプログラミングシステムおよびそのための方法

## (57)【要約】

この発明は、フェイルセーフ不揮発性メモリプログラミングシステムに関するものである。このシステムはメモリ装置をプログラミングするため充電を記憶する高電圧充電コンデンサ(16)を使用する。第2充電コンデンサ(30)はメモリ装置をプログラミングするため使用される制御ロジック(26)へ電力を供給するのに使用される。電力がプログラミング中になくなれば、2つのコンデンサに記憶された充電はプログラミングサイクルを完成するのに十分である。



**【特許請求の範囲】**

1. 情報を記憶する不揮発性メモリ手段と、

前記不揮発性メモリ手段へプログラミング電圧を供給する充電を記憶するため、

前記不揮発性メモリ手段に接続される第1充電コンデンサ手段と、

前記不揮発性メモリ手段をプログラムする外部信号を受け、情報を持つ前記不揮  
発性メモリ手段内の所要のアドレス位置をプログラムする信号を送り、その時、

前記第1充電コンデンサ手段内に記憶された前記充電は、外部電力供給が前記不  
揮発性メモリ手段にない時でも前記情報を持つ前記不揮発性メモリ手段内の前記  
所要のアドレス位置をプログラムするために十分であるようにする前記不揮発性  
メモリ手段に接続される制御手段と、

前記制御手段へ電源を与えるため、前記制御手段に接続される第2充電コンデン  
サ手段との組み合わせから成るフェイルセーフ不揮発性メモリプログラミングシ  
ステム。

2. 前記第1充電コンデンサ手段内に記憶される前記充電を監視するため、前記  
第1充電コンデンサ手段に接続されるセンサ手段から成る請求項1に記載のフェ  
イルセーフ不揮発性メモリプログラミングシステム。

3. 前記第1充電コンデンサ手段を充電するため、前記第1充電コンデンサ手段  
に接続される高電圧発生手段から成る請求項1に記載のフェイルセーフ不揮発性  
メモリプログラミングシステム。

4. プログラムされる前記不揮発性メモリ手段内の前記所要のアドレス位置を受  
け、前記情報を前記所要のアドレス位置へ移送するため、前記制御手段に接

続されるラッチ手段とから成る請求項1に記載のフェイルセーフ不揮発性メモリ  
プログラミングシステム。

5. 前記不揮発性メモリ手段に対する電圧スルーレートを制御するため、前記不  
揮発性メモリ手段に接続され、前記高電圧発生手段に接続される抵抗手段から成  
る請求項1に記載のフェイルセーフ不揮発性メモリプログラミングシステム。

6. 前記不揮発性メモリ手段に対する電圧スルーレートを制御するため、前記不  
揮発性メモリ手段に接続され、前記高電圧発生手段に接続される電源手段から成

る請求項1に記載のフェイルセーフ不揮発性メモリプログラミングシステム。

7. 前記第1充電コンデンサ手段に接続され、前記不揮発性メモリ手段に対して前記高電圧コンデンサ手段からの前記プログラミング電圧を与える前記制御手段に接続される第1スイッチ手段と、

前記第1充電コンデンサ手段に接続され、前記高電圧コンデンサ手段を放電する前記制御手段に接続され、前記不揮発性メモリ手段に対するプログラミングサイクルが完成される時に前記不揮発性メモリ手段に接続される第2スイッチ手段とから成る請求項1に記載のフェイルセーフ不揮発性メモリプログラミングシステム。

8. 主内部電源(AVDD)に接続され、前記不揮発性メモリ手段への書き込みサイクル中に前記主内部電源(AVDD)への外部影響を妨げる外部電源(VDD)に接続される絶縁手段から成る請求項6に記載のフェイルセーフ不揮発

性メモリプログラミングシステム。

9. 前記高電圧発生手段に接続され、前記第1充電コンデンサ手段の放電を妨げるため、前記高電圧発生手段へのフィードバックを制限する前記第1充電コンデンサ手段に接続されるダイオード手段とから成る請求項1に記載のフェイルセーフ不揮発性メモリプログラミングシステム。

10. 前記不揮発性メモリ手段は、電気的に消去可能なプログラマブルリードオンリーメモリ(EEPROM)である請求項1に記載のフェイルセーフ不揮発性メモリプログラミングシステム。

11. 前記不揮発性メモリ手段は、情報を記憶するグレイコードカウンタ実行手段から成る請求項1に記載のフェイルセーフ不揮発性メモリプログラミングシステム。

12. 前記グレイコードカウンタ実行手段は、4ビットグレイコードカウンタである請求項11に記載のフェイルセーフ不揮発性メモリプログラミングシステム。

13. 前記不揮発性メモリ手段は、前記不揮発性メモリ手段の偶数アドレスを含む第1アレーと、

前記不揮発性メモリ手段の奇数アドレスを含む第2アレーとから成る請求項1に記載のフェイルセーフ不揮発性メモリプログラミングシステム。

14. 前記不揮発性メモリ手段の前記第1アレーの要素および第2アレーの要素は、情報と共に同時にプログラムされる請求項13に記載のフェイルセーフ不揮発性メモリプログラミングシステム。

15. 情報を記録する不揮発性メモリ手段と、

前記不揮発性メモリ手段に情報を記憶するための4ビットグレイコードカウンタ実行手段と、

前記不揮発性メモリ手段にプログラミング電圧を供給するための充電を記憶するため、前記不揮発性メモリ手段に接続される第1充電コンデンサ手段と、

前記第1充電コンデンサ手段を充電するため、前記第1充電コンデンサ手段に接続される高電圧発生器手段と、

前記高電圧発生器手段に接続され、前記第1充電コンデンサ手段の放電を妨げるため、前記高電圧発生器手段へのフィードバックを制限する前記第1充電コンデンサ手段に接続されるダイオード手段と、

前記第1充電コンデンサ手段内に記憶される前記充電を監視するため、前記第1充電コンデンサ手段に接続されるセンサ手段と、

前記不揮発性メモリ手段をプログラムするため外部信号を受け、情報を持つ前記不揮発性メモリ手段内の所要のアドレス位置をプログラムする信号を送り、その時、前記センサ手段は、前記第1充電コンデンサ手段内に記憶された前記充電がしきい値レベルに達したことを指示し、前記しきい値レベルは、前記第1充電コンデンサ手段内に記憶された前記充電が、外部電力供給が前記不揮発性メモリ手段にない時でも前記情報を持つ前記不揮発性メモリ手段内の前記所要のアドレス位置をプログラムするのに十分であることを示すように前記不揮発性メモリ手段に接続される制御手段と、

前記不揮発性メモリ手段に接続され、前記不揮発性メモリ手段に対する電圧スルーレートを制御するため、前記高電圧発生手段に接続される電流制限手段と、

プログラムされる前記不揮発性メモリ手段内の前記所要アドレス位置を受け、前記情報を前記所要アドレス位置は移送するため前記制御手段に接続されるラッチ手段と、

前記制御手段と前記ラッチ手段へ電力を与えるため前記制御手段に接続される第2充電コンデンサ手段と、

前記第1充電コンデンサ手段に接続され、前記不揮発性メモリ手段に対する前記第1充電コンデンサ手段から、前記プログラミング電圧を与えるため前記制御手段に接続される第1スイッチ手段と、

前記第1充電コンデンサに接続され、前記不揮発性メモリ手段のプログラミングサイクルが完成する時、前記第1充電コンデンサ手段および前記不揮発性メモリ手段を放電するため、前記制御手段に接続される第2スイッチ手段との組み合わせから成るフェイルセーフ不揮発性メモリプログラミングシステム。

16. 前記電流制限手段は、抵抗である請求項15に記載のフェイルセーフ不揮発性メモリプログラミングシステム。

17. 前記電流制限手段は、電源である請求項15に記載のフェイルセーフ不揮発性メモリプログラミングシステム。

18. 前記不揮発性メモリ手段は、電気的に消去可能なプログラマブルリードオシリーメモリ(EEPROM)である請求項15に記載のフェイルセーフ不揮発性メモリプログラミングシステム。

19. 前記不揮発性メモリ手段は、前記不揮発性メモリ手段の偶数アドレスを含む第1アレーと、前記不揮発性メモリ手段の奇数アドレスを含む第2アレー

とから成り、前記不揮発性メモリ手段の両方の第1アレーおよび第2アレーは、同時に情報でプログラムされる請求項15に記載のフェイルセーフ不揮発性メモリプログラミングシステム。

20. 情報を記憶する不揮発性メモリ手段を提供するステップと、

前記不揮発性メモリ手段へプログラミング電圧を供給するための充電を記憶するため、前記不揮発性メモリ手段に接続される第1充電コンデンサ手段を提供するステップと、

前記第1充電コンデンサ手段内に記憶された前記充電を監視するため、前記第1充電コンデンサ手段に接続されるセンサ手段を提供するステップと、  
前記不揮発性メモリ手段をプログラムするため外部信号を受け、情報を持つ前記不揮発性メモリ手段内の所要のアドレス位置をプログラムする信号を送り、その時、前記センサ手段は、前記第1充電コンデンサ手段内に記憶された前記充電がしきい値レベルに達したことを指示し、前記しきい値レベルは、前記第1充電コンデンサ手段内に記憶された前記充電が、外部電力供給が前記不揮発性メモリ手段にない時でも前記情報を持つ前記不揮発性メモリ手段内の前記所要のアドレス位置をプログラムするのに十分であることを示すように前記不揮発性メモリ手段に接続される制御手段を提供するステップと、  
プログラムされる前記不揮発性メモリ手段内の前記所要のアドレス位置を受け、前記情報を前記所要のアドレス位置へ移送するため、前記制御手段に接続されるラッチ手段を提供するステップと、  
前記制御手段および前記ラッチ手段へ電力を供給するため、前記制御手段に接続される第2充電コンデンサ手段を提供するステップとから成るフェイルセーフ不揮発性メモリプログラミングシステムを提供する方法。

21. 前記不揮発性メモリ手段に接続され、前記不揮発性メモリ手段に対する電圧スルーレートを制御するため、前記高電圧発生器に接続される電流制限手段を提供するステップと、

前記第1充電コンデンサ手段に接続され、前記不揮発性メモリ手段に対して前記第1充電コンデンサから前記プログラミング電圧を提供するため前記制御手段に接続される第1スイッチ手段を提供するステップと、

前記第1充電コンデンサ手段に接続され、前記不揮発性メモリ手段に対してプログラミングサイクルが完成する時、前記第1充電コンデンサおよび前記不揮発性メモリ手段を放電するため前記制御手段に接続される第2スイッチ手段を提供するステップと、

前記高電圧発生手段に接続され、前記第1充電コンデンサ手段の放電を妨げるため、前記高電圧発生手段へのフィードバックを制限するため前記第1充電コンデ

ンサ手段に接続されるダイオード手段を提供するステップとから成る請求項20に記載の方法。

22. 不揮発性メモリ手段を提供するステップは、さらに、前記不揮発性メモリ手段内に情報を記憶するため、4ビットグレイコードカウンタ実行手段を提供するステップから成る請求項21に記載の方法。

23. 不揮発性メモリ手段を提供するステップは、さらに、前記不揮発性メモリ手段の偶数アドレスを含む第1アレーと、不揮発性メモリ手段の奇数アドレスを含む第2アレーとを有し、前記不揮発性メモリ手段の前記第1アレーおよび第2アレーは、同時に情報でプログラムされる不揮発性メモリ手段を提供するステップから成る請求項22に記載の方法。

## 【発明の詳細な説明】

フェイルセーフ不揮発性メモリプログラミングシステムおよびそのための方法

### 発明の背景

#### 1. 発明の分野

この発明は、メモリ集積回路（IC）チップに関し、特に、メモリICチップに対するフェイルセーフ不揮発性メモリ書き込みを提供するシステムおよび方法に関するものである。

#### 2. 従来技術の説明

不揮発性メモリ、例えば、電気的に消去可能なプログラマブルリードオンリーメモリ（EEPROM）において、メモリ内への情報の実際の記録時に電力不足が生じると、常に不確実さが発生する。電力が再び供給されると、通常、特定の書き込みが100%達成されたか、全く試みられなかったかどうかを明言することはできない。さらに、“ソフト書き込み”が生じていたかもしれない。メモリのセル内での情報の状態を変更する試みがなされる時にソフト書き込みがあるが、時ならぬ電力不足や他の障害タイプのため、この試みが十分に達成されない。このことは、セル内において時間、温度、電圧または他の変化するタイプで変化するため、値を変えるかもしれないことになる。メモリ内に記憶された情報が揮発性である（すなわち、メモリ内に記憶された情報は予告なしに変化するかもしれない）ので、これは非常に望ましくない状態である。

上記問題は、メモリワード内に2進値を書き込むため使用される標準手続により悪化される。メモリワード内に2進値を書き込む時、ワード内の全ビットは“1”状態に書き込まれる。“1”状態であると仮定されないビットは、そ

の時、“0”状態に変更される。上記手続きは、また、反対の仕方で機能し、ワード内の全ビットは“0”状態に書き込まれ、“0”状態であるとは仮定されないビットは、その時、“1”状態に変更される。ワード内に2進値を書き込む標準手続は、第1書き込みと第2書き込みとの間で有限時間を持つ2ステップ書き込みプロセスを生じる。書き込みステップ間の時間フレームは短い（すなわち、数ミリ秒）かもしれないけれども、2つの書き込み段階間のプロセスを停止する

いかなる問題も情報の永久的な損失になる。というのは、新しい値も古い値も不揮発性メモリに記憶されないからである。このことは、メモリの追加や推論を含むアプリケーション、例えば、スマートカードアプリケーションにおいて深刻な複雑さを生じる。

メモリワード内への2進値の書き込みを避けるため、アバクス構造が与えられる。アバクス構造では、1つずつ消去して得られるアバクスの1レベル内のビットを、ユニットとして推論して得る。このことは、全体の喪失ワードを回避する。たいてい、特定のビットは“ソフトリード”に書き込まれ、1ビット（またはトークン）だけは有効であるので重大な問題とはならない。しかしながら、全レベルが枯渇すると、算術の“位下げ”作用や2進の“繰り上げ”作用を行わなければならない。このことは、推論される上の1レベルおよび復元される下の全レベルに1ビットを必要とする。このことは、スマートカードアプリケーションにおいて、お金が失われたり、または、得られたりする危険を生じる2段階作用にもなる。

それ故、フェイルセーフ不揮発性メモリ書き込みシステムを提供する必要性が存在する。このシステムは不揮発性メモリへのソフト書き込みおよび低い保存性のある不完全な書き込みを排除するにちがいない。このシステムは情報の損失を生じるステージ間で中断される2段階書き込み作用を排除するにちがいない。不揮発性メモリへ供給される電力が中断されても、不揮発性メモリへの

書き込み作用を完成する能力を有するにちがいない。さらに、スマートカードや金銭的な価値アプリケーションにおいて、お金の認められない付加を防ぐため、このシステムの濫用に対する確保は、与えられる外部作用を必要とすることなしに要求されるものである。現在、情報の損失を防ぐ方法は、該当するメモリチップに対して外部作用を必要とする特定のビットを使用して行われている。

#### 発明の要約

この発明の1実施例において、この発明の目的はフェイルセーフ不揮発性メモリ書き込みシステムを提供することである。

この発明の他の目的は、不揮発性メモリへのソフト書き込みおよび低い保存性

での不完全な書き込みを排除するフェイルセーフ不揮発性メモリ書き込みシステムを提供することである。

この発明のなお他の目的は、情報の損失を生じるステージ間で中断される2段階書き込み操作を排除するフェイルセーフ不揮発性メモリ書き込みシステムを提供することである。

この発明のなお他の目的は、不揮発性メモリへ供給される外部電力が中断されても、不揮発性メモリへの書き込み作用を完成する能力を有するフェイルセーフ不揮発性メモリ書き込みシステムを提供することである。

この発明のなお他の目的は、アバクス構造と比較すると、十分なサイズである不揮発性メモリアレーへの書き込み作用を完成する能力のあるフェイルセーフ不揮発性メモリ書き込みシステムを提供することである。

この発明のなお他の目的は、単一の高電圧パルスだけを必要とする書き込みサイクルで不揮発性メモリ内で異なるワードのための書き込み作用を完成することである。

#### 好ましい実施例の簡単な説明

この発明の1実施例において、フェイルセーフ不揮発性メモリプログラミングシステムが開示される。このシステムは情報を記憶する不揮発性メモリ手段から構成される。第1充電コンデンサ手段が不揮発性メモリ手段と、充電を記憶しプログラミング電圧を不揮発性メモリ手段へ供給するための高電圧供給または発生手段とに接続される。高電圧発生手段は第1充電コンデンサ手段を充電するため、第1充電コンデンサ手段に接続される。第1充電コンデンサ手段内に記憶される充電を監視するため、センサ手段が第1充電コンデンサ手段に接続される。不揮発性メモリ手段をプログラムする外部信号を受け、情報を持つ不揮発性メモリ手段内の所要のアドレス位置をプログラムするため信号を送るため、不揮発性メモリシステム手段において制御手段が使用され、その時、第1充電コンデンサ手段に記憶された充電がしきい値に達したことをセンサ手段が示し、前記しきい値は、たとえ、外部電力供給が不揮発性メモリに対して無くなっても、不揮発性メモリ手段内の所要のアドレス位置をプログラムするための十分な第1充電コン

デンサ手段に記憶される充電を示す。通常の電力供給源が遮断される場合、制御手段への電力の独立バックアップ源を提供するため、第2充電コンデンサ手段が制御手段に接続される。プログラムされる不揮発性メモリ手段内の所要のアドレス位置を受け、情報を所要のアドレス位置へ移送するため、ラッチ手段が制御手段に接続される。

この発明の他の実施例によると、フェイルセーフ不揮発性メモリプログラミングシステムを提供する方法が開示されている。この方法は、情報を記憶する不揮発性メモリ手段を提供するステップと、不揮発性メモリ手段へプログラミング電圧を供給するための充電を記憶するため、前記不揮発性メモリ手段に接続される第1充電コンデンサ手段を提供するステップと、第1充電コンデンサ手段を充電するため第1充電コンデンサ手段に接続される高電圧発生手段を提

供するステップと、プログラムされる不揮発性メモリ手段内の前記所要のアドレス位置を受け、情報を所要のアドレス位置へ移送するため、制御手段に接続されるラッチ手段を提供するステップと、第1充電コンデンサ手段内に記憶された充電を監視するため、第1充電コンデンサ手段に接続されるセンサ手段を提供するステップと、不揮発性メモリ手段をプログラムするため外部信号を受け、情報を持つ不揮発性メモリ手段内の所要のアドレス位置をプログラムする信号を送り、その時だけ、センサ手段は、第1充電コンデンサ手段内に記憶された充電がしきい値レベルに達したことを指示し、しきい値レベルは、外部電力供給が不揮発性メモリ手段にない時でも不揮発性メモリ手段内の所要のアドレス位置をプログラムするのに十分な第1充電コンデンサ手段に記憶される充電を示すため不揮発性メモリ手段に接続される制御手段を提供するステップと、通常の電力供給源が無くなる場合、制御手段およびラッチ手段のため独立したバックアップ電源を提供するため、制御手段に接続される第2充電コンデンサ手段を提供するステップとから成る。

上記実施例において、不揮発性手段はEEPROM、FRAMまたはプログラムする電圧を必要とする他の不揮発性メモリ手段でもよい。2つの充電コンデンサは任意の仮のオンチップエネルギー記憶構造タイプでよい。

この発明の前記目的および他の目的、特徴および長所は、下記の特に添付図面を参照したこの発明の好ましい実施例の説明から明かであろう。

#### 図面の簡単な説明

図1は、この発明のフェイルセーフ不揮発性メモリプログラミングシステムの簡略化したブロック線図である。

図2は、図1で図示されたフェイルセーフ不揮発性メモリプログラミングシステムに使用する不揮発性デュアルアレーメモリ装置の簡略化したブロック線

図である。

図2Bは、図2で図示された不揮発性デュアルアレーメモリ装置内に情報を書き込み、前記装置内の情報を消去する異なるプログラミング電圧を示す表である。

#### 好ましい実施例の詳細な説明

図1を参照すると、フェイルセーフ不揮発性メモリプログラミングシステム10（以後、システム10と称する）が示されている。システム10は、不揮発性メモリ装置12から成る。この発明の一実施例では、不揮発性メモリ装置12は電気的に消去可能なプログラマブルリードオンリーメモリ（EEPROM）である。しかしながら、システム10は他の不揮発性メモリ構造体にも適用できることに注意すべきである。不揮発性メモリ装置12はバイナリー情報を記憶するために使用される。不揮発性メモリ装置12は、バイナリー情報を記憶するためにグレイコードカウンタ14を使用する。この発明の好ましい実施例では、4ビットグレイコードカウンタが使用される。グレイコードカウンタ14は、差が1である任意の2つの数が、1つのビット位置を除き同じである2進表現で表現される位取り2進表記カウンタである。グレイコードカウンタはアバクススキーマを使用するのに比較して情報の等しい量を記憶するための不揮発性メモリ装置12内で必要とされるスペースを減少する。しかしながら、グレイコードカウンタはなお、連続番号のための1ビット変更だけであるので、アバクススキーマの最大の利点を有する。

高電圧充電コンデンサ16は不揮発性メモリ装置12に接続される。高電圧充

電コンデンサ16は、不揮発性メモリ装置12がプログラムされる（すなわち、不揮発性メモリ装置12に書き込み、または、消去をする）前に、十分でなければならない充電を記憶するために使用される。それから、高電圧充電コンデンサ16は不揮発性メモリ装置12にプログラム電圧を供給するために使

用される。電流制限装置24が、高電圧充電コンデンサ16と不揮発性メモリ装置12との間に接続される。電流制限装置は、プログラミング中に、制御される上方電圧スロープを生じる間、不揮発性メモリ装置12により使用される電流を制限するために使用される。電流制限装置24は、数メガオーム測定する抵抗体または所要値の電流を供給するいくつかの電源でもよい。電源が使用されると、電源には適切な操作のため外部供給で制御する必要があり、それで、外部供給が無くなると適切に機能しなくなるであろう。電源は、また、低電圧充電コンデンサ30からのエネルギーを消費し過ぎてはならない。それで、電源に常開スイッチを並列に接続し、外部電力が無くなると、常開スイッチが閉じてエネルギーの非常に急速な移送となるようにことが必要である。電源がエネルギーを消費し過ぎると、低電圧充電コンデンサ30を非常に大きくする必要がある。

高電圧充電コンデンサ16は、ダイオード装置20を通して高電圧発生器18により充電される。この発明の好ましい実施例では、高電圧発生器18は高電圧充電を発生する充電ポンプである。ダイオード装置20は高電圧発生器18へのフィードバックを制限し、この経路を通しての高電圧充電コンデンサ16の放電を防止する。

高電圧検知装置22が高電圧充電コンデンサ16に接続される。高電圧検知装置22は高電圧充電コンデンサ16内に記憶される充電を監視する。高電圧検知装置22が、しきい値レベルになると、高電圧検知装置22は信号を制御ユニット26に送り、高電圧充電コンデンサ16が不揮発性メモリ装置12をプログラムするのに十分な充電を有することを指示する。

外部装置（プリペイドチップホーンカードの場合での料金支払い電話のように）により、不揮発性メモリ装置12にプログラム命令が与えられると、コンデンサ16内の十分な充電の検知は不帰還点に限定される。この時点前の途中

で電力が無くなると、メモリ装置12への書き込みが試みられることなく、全プログラミングプロセスが放棄される。しかしながら、十分な充電が検出されると、フェイルセーフ不揮発性メモリプログラミングシステム10を備えたカードは除去でき、書き込みプロセスはうまく完成されるであろう。

不揮発性メモリ装置12をプログラムするため、スイッチS3は制御ユニット26により閉鎖されねばならない。スイッチS3の閉鎖は、高電圧充電コンデンサ16からのプログラミング電圧が不揮発性メモリ装置12へ供給できるようとする。高電圧充電コンデンサ16に記憶される充電が、不揮発性メモリ装置12をプログラムするのに十分でなければ、プログラミングシーケンスは、決して制御ユニット26により始まらないことに注意すべきである。スイッチS2、S3はプログラミングサイクルの終了と、高電圧充電コンデンサ16を所望条件に置くためのスタートアップで閉鎖される。

スイッチS1もシステム10に設けられる。エネルギー損失を防ぐため不揮発性メモリ装置12のプログラミング中に高電圧検知装置22を絶縁するため、スイッチS1が設けられる。

制御ユニット26が、そのプログラミング入力26Aで信号を受けると、制御ユニット26は信号をラッチング装置28へ送る。アドレスおよびデータ情報は、それぞれ、入力28A、28Bでラッチング装置28にロードされ、新しいデータは不揮発性メモリ装置12内の所望のアドレスへ転送される。それから、制御ユニット26の入力26Bに信号が送られ、プログラミングサイクルが完成する時を指示する。

制御ユニット26およびラッチング装置28はアナログ電圧供給AVddにより給電される。この発明の好ましい実施例では、アナログ電圧供給AVddは5ボルト電荷を提供する。アナログ電圧供給AVddが遮断されていると、制御ユニット26およびラッチング装置28に必要電力を供給しプログラミン

グサイクルを完成するため、低電圧充電コンデンサ30が提供される。この発明の他の実施例では、高電圧充電コンデンサ16もラッチング装置28へ接続される。それで、高電圧充電コンデンサ16は、電力をラッチング装置28へ供給で

き、ラッチング装置28はアナログ電源AVddに依存する必要がない。そのような実行においては、高電圧充電コンデンサ16は通常外部電源VDDに連結され、他方、高電圧発生器18は機能しない。

この発明による他の実施例によると、不揮発性メモリ装置12は2つの別々のアレーに分割される。図2、図2Bに関して、二重アレー不揮発性メモリ装置40が示されている。二重アレー不揮発性メモリ装置40は、左アレー40Aと右アレー40Bとに分割され、一方のアレーは偶数アドレスを保持し、他方のアレーは奇数アドレスを保持する。各アレー40A、40Bは、複数の信号ライン対Vref/BLを有する。信号ライン対Vref/BLは二重アレー不揮発性メモリ装置40の両方のアレー40A、40Bを同時にプログラム可能にする。図2Bに示す表50から分かるように、信号ライン対Vref/BLの一方の電圧を変更することにより、各アレー40A、40Bに情報を書き込み、または、情報を消去することができる。

二重アレー不揮発性メモリ装置40は、単一プログラミングサイクルで完成されるけた上げアプリケーションまたは位下げアプリケーションで消去を可能にする。単一プログラミング充電が記憶され一度放出され、操作を完成するための全てのアプリケーションで再び充電することは保証できないので、上記のことは重要である。このことは、アバ克斯構造が使用され低順位“列”が補充できる前により高順位ビットが“消去”される時に必要である。

この発明を特にその望ましい実施例で示し記載したが、この発明の精神および範囲を逸脱する事がない限り、形式および詳細での先行する変更および他の変更ができる事を当業者は理解されるであろう。

【図1】

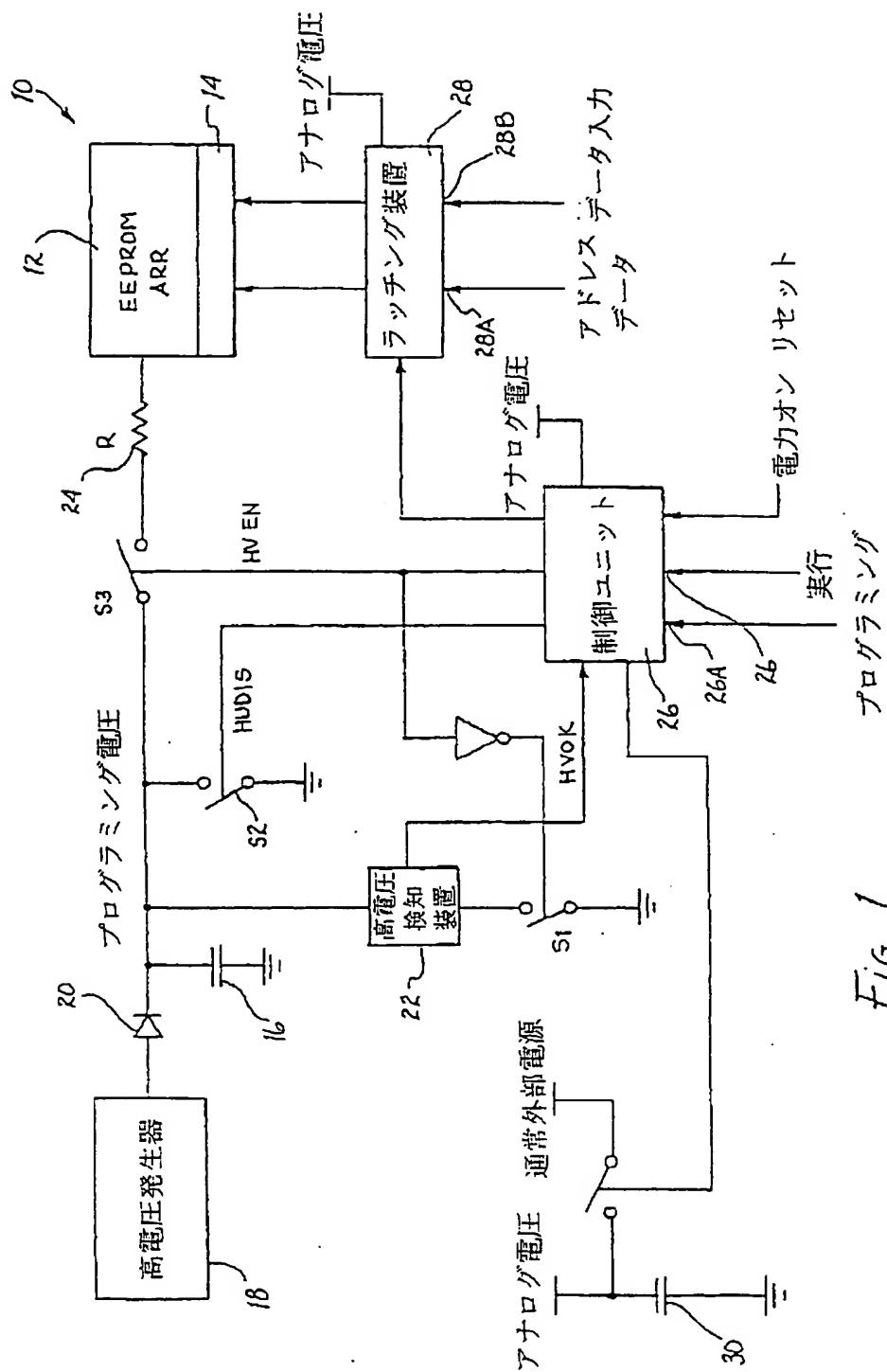


Fig. 1

【図2】

2アレーを備えた同時プログラム/消去

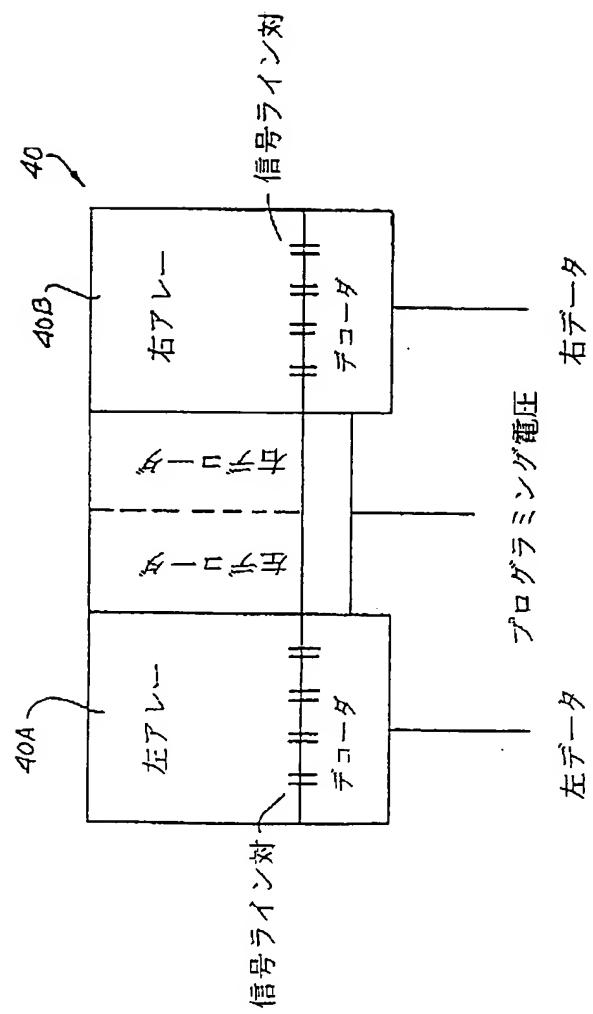


Fig. 2

Fig. 2B

【手続補正書】特許法第184条の4第4項

【提出日】1997年8月19日

【補正内容】

1. 情報を記憶する不揮発性メモリ手段と、

前記不揮発性メモリ手段へプログラミング電圧を供給する充電を記憶するため、

前記不揮発性メモリ手段に接続される第1充電コンデンサ手段と、

前記不揮発性メモリ手段をプログラムする外部信号を受け、情報を持つ前記不揮発性メモリ手段内の所要のアドレス位置をプログラムする信号を送るため、前記不揮発性メモリ手段に接続される制御手段を備え、その時、前記第1充電コンデンサ内に記憶された前記充電の値が、外部電力供給が前記揮発性メモリ手段にならない時でも前記情報を持つ前記不揮発性メモリ手段内の前記所要のアドレス位置を完全にプログラムできることを示す信号を、前記制御手段が監視し、前記制御手段に電源を与えるため、前記制御手段に接続される第2充電コンデンサ手段との組み合わせから成るフェイルセーフ不揮発性メモリプログラミングシステム。

2. 前記第1充電コンデンサ手段内に記憶される前記充電を監視するため、前記第1充電コンデンサ手段に接続されるセンサ手段から成る請求項1に記載のフェイルセーフ不揮発性メモリプログラミングシステム。

3. 前記第1充電コンデンサ手段を充電するため、前記第1充電コンデンサ手段に接続される高電圧発生手段から成る請求項1に記載のフェイルセーフ不揮発性メモリプログラミングシステム。

4. プログラムされる前記不揮発性メモリ手段内の前記所要のアドレス位置を受け、前記情報を前記所要のアドレス位置へ移送するため、前記制御手段に接続されるラッチ手段とから成る請求項1に記載のフェイルセーフ不揮発性メモリプログラミングシステム。

5. 前記不揮発性メモリ手段に対する電圧スルーレートを制御するため前記不揮発性メモリ手段に接続される抵抗手段から成る請求項1に記載のフェイルセーフ不揮発性メモリプログラミングシステム。

6. 前記不揮発性メモリ手段に対する電圧スルーレートを制御するため前記不揮

発性メモリ手段に接続される電源手段から成る請求項1に記載のフェイルセーフ不揮発性メモリプログラミングシステム。

7. 前記第1充電コンデンサ手段に接続され、前記不揮発性メモリ手段に対して前記第1充電コンデンサ手段から前記プログラミング電圧を与える前記制御手段に接続される第1スイッチ手段と、

前記第1充電コンデンサ手段に接続され、前記不揮発性メモリ手段に対するプログラミングサイクルが完成する時、前記第1充電コンデンサ手段および前記不揮発性メモリ手段を放電するため、前記制御手段に接続される第2スイッチ手段とから成る請求項1に記載のフェイルセーフ不揮発性メモリプログラミングシステム。

8. 前記高電圧発生器手段に接続され、前記第1充電コンデンサ手段の放電を妨げ、前記高電圧発生器手段へのフィードバックを制限するため、前記第1充電コンデンサ手段に接続されるダイオードから成る請求項3に記載のフェイル

セーフ不揮発性メモリプログラミングシステム。

9. 前記不揮発性メモリ手段は、電気的に消去可能なプログラマブルリードオンリーメモリ(EEPROM)である請求項1に記載のフェイルセーフ不揮発性メモリプログラミングシステム。

10. 前記不揮発性メモリ手段は、情報を記憶するグレイコードカウンタ実行手段から成る請求項1に記載のフェイルセーフ不揮発性メモリプログラミングシステム。

11. 前記グレイコードカウンタ実行手段は、4ビットグレイコードカウンタである請求項10に記載のフェイルセーフ不揮発性メモリプログラミングシステム。

12. 前記不揮発性メモリ手段は、前記不揮発性メモリ手段の偶数アドレスを含む第1アレーと、

前記不揮発性メモリ手段の奇数アドレスを含む第2アレーとから成る請求項1に記載のフェイルセーフ不揮発性メモリプログラミングシステム。

13. 前記不揮発性メモリ手段の前記第1アレーの要素および第2アレーの要素

は、情報と共に同時にプログラムされる請求項12に記載のフェイルセーフ不揮発性メモリプログラミングシステム。

14. 情報を記録する不揮発性メモリ手段と、

前記不揮発性メモリ手段に情報を記憶するための4ビットグレイコードカウン

タ実行手段と、

前記不揮発性メモリ手段にプログラミング電圧を供給するための充電を記憶するため、前記不揮発性メモリ手段に接続される第1充電コンデンサ手段と、

前記第1充電コンデンサ手段を充電するため、前記第1充電コンデンサ手段に接続される高電圧発生器手段と、

前記高電圧発生器手段に接続され、前記第1充電コンデンサ手段の放電を妨げるため、前記高電圧発生器手段へのフィードバックを制限する前記第1充電コンデンサ手段に接続されるダイオード手段と、

前記第1充電コンデンサ手段内に記憶される前記充電を監視するため、前記第1充電コンデンサ手段に接続されるセンサ手段と、

前記不揮発性メモリ手段をプログラムするため外部信号を受け、情報を持つ前記不揮発性メモリ手段内の所要のアドレス位置をプログラムする信号を送り、その時、前記センサ手段は、前記第1充電コンデンサ手段内に記憶された前記充電がしきい値レベルに達したことを指示し、前記しきい値レベルは、前記第1充電コンデンサ手段内に記憶された前記充電が、外部電力供給が前記不揮発性メモリ手段にない時でも前記情報を持つ前記不揮発性メモリ手段内の前記所要のアドレス位置をプログラムするのに十分であることを示すように前記不揮発性メモリ手段に接続される制御手段と、

前記不揮発性メモリ手段に接続され、前記不揮発性メモリ手段に対する電圧スルーレートを制御するため、前記高電圧発生手段に接続される電流制限手段と、プログラムされる前記不揮発性メモリ手段内の前記所要アドレス位置を受け、前記情報を前記所要アドレス位置に移送するため前記制御手段に接続されるラッチ手段と、

前記制御手段と前記ラッチ手段へ電力を与えるため前記制御手段に接続される第

2 充電コンデンサ手段と、

前記第1充電コンデンサ手段に接続され、前記不揮発性メモリ手段に対する前記第1充電コンデンサ手段から、前記プログラミング電圧を与えるため前記制御手段に接続される第1スイッチ手段と、

前記第1充電コンデンサに接続され、前記不揮発性メモリ手段のプログラミングサイクルが完成する時、前記第1充電コンデンサ手段および前記不揮発性メモリ手段を放電するため、前記制御手段に接続される第2スイッチ手段との組み合わせから成るフェイルセーフ不揮発性メモリプログラミングシステム。

15. 前記電流制限手段は、抵抗である請求項14に記載のフェイルセーフ不揮発性メモリプログラミングシステム。

16. 前記電流制限手段は、電源である請求項14に記載のフェイルセーフ不揮発性メモリプログラミングシステム。

17. 前記不揮発性メモリ手段は、電気的に消去可能なプログラマブルリードオンリーメモリ(EEPROM)である請求項16に記載のフェイルセーフ不揮発性メモリプログラミングシステム。

18. 前記不揮発性メモリ手段は、前記不揮発性メモリ手段の偶数アドレスを含む第1アレーと、前記不揮発性メモリ手段の奇数アドレスを含む第2アレーとから成り、前記不揮発性メモリ手段の両方の第1アレーおよび第2アレーは、同時に情報でプログラムされる請求項14に記載のフェイルセーフ不揮発性メモリプログラミングシステム。

19. 情報を記憶する不揮発性メモリ手段を提供するステップと、

前記不揮発性メモリ手段へプログラミング電圧を供給するための充電を記憶するため、前記不揮発性メモリ手段に接続される第1充電コンデンサ手段を提供するステップと、

前記第1充電コンデンサ手段内に充電された前記充電を監視するため、前記第1充電コンデンサ手段に接続されるセンサ手段を提供するステップと、

前記不揮発性メモリ手段をプログラムするため外部信号を受け、情報を持つ前記

不揮発性メモリ手段内の所要のアドレス位置をプログラムする信号を送り、その時、前記センサ手段は、前記第1充電コンデンサ手段内に記憶された前記充電がしきい値レベルに達したことを指示し、前記しきい値レベルは、前記第1充電コンデンサ手段内に記憶された前記充電が、外部電力供給が前記不揮発性メモリ手段にない時でも前記情報を持つ前記不揮発性メモリ手段内の前記所要のアドレス位置をプログラムするのに十分であることを指示するように前記不揮発性メモリ手段に接続される制御手段を提供するステップと、

プログラムされる前記不揮発性メモリ手段内の前記所要のアドレス位置を受け、前記情報を前記所要のアドレス位置へ移送するため、前記制御手段に接続されるラッチ手段を提供するステップと、

前記制御手段および前記ラッチ手段へ電力を供給するため、前記制御手段に接続される第2充電コンデンサ手段を提供するステップとから成るフェイルセーフ不揮発性メモリプログラミングシステムを提供する方法。

20. 前記不揮発性メモリ手段に接続され、前記不揮発性メモリ手段に対する電圧スルーレートを制御するため、前記高電圧発生器に接続される電流制限手段を提供するステップと、

前記第1充電コンデンサ手段に接続され、前記不揮発性メモリ手段に対して前記第1充電コンデンサから前記プログラミング電圧を提供するため前記制御手

段に接続される第1スイッチ手段を提供するステップと、

前記第1充電コンデンサ手段に接続され、前記不揮発性メモリ手段に対してプログラミングサイクルが完成する時、前記第1充電コンデンサおよび前記不揮発性メモリ手段を放電するため前記制御手段に接続される第2スイッチ手段を提供するステップと、

前記高電圧発生手段に接続され、前記第1充電コンデンサ手段の放電を妨げるため、前記高電圧発生手段へのフィードバックを制限するため前記第1充電コンデンサ手段に接続されるダイオード手段を提供するステップとから成る請求項19に記載の方法。

21. 不揮発性メモリ手段を提供するステップは、さらに、前記不揮発性メモリ

手段内に情報を記憶するため、4ビットグレイコードカウンタ実行手段を提供するステップから成る請求項20に記載の方法。

22. 不揮発性メモリ手段を提供するステップは、さらに、前記不揮発性メモリ手段の偶数アドレスを含む第1アレーと、不揮発性メモリ手段の奇数アドレスを含む第2アレーとを有し、前記不揮発性メモリ手段の前記第1アレーおよび第2アレーは、同時に情報でプログラムされる不揮発性メモリ手段を提供するステップから成る請求項21に記載の方法。

## 【国際調査報告】

## INTERNATIONAL SEARCH REPORT

International application No.  
PCT/US97/06531

<b>A. CLASSIFICATION OF SUBJECT MATTER</b>		
IPC(6) :G11C 7/00 US CL :365/228 According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b>		
Minimum documentation searched (classification system followed by classification symbols)  U.S. : 365/228, 229, 183.04, 185.08, 189.05		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 4,823,323 A (HIGUCHI) 18 April 1989(18/04/89), see entire document, especially Fig. 1.	1, 3, 4
A	US 5,007,027 A (SHIMOI) 09 April 1991(09/04/91), see entire document.	1
A	US 5,430,402 A (TEDROW et al.) 04 July 1995(04/07/95), see entire document	1

<input type="checkbox"/> Further documents are listed in the continuation of Box C.	<input type="checkbox"/> See patent family annex.
<ul style="list-style-type: none"> <li>* Special categories of cited documents:</li> <li>"A" document defining the general state of the art which is not considered to be of particular relevance</li> <li>"E" earlier document published on or after the international filing date</li> <li>"L" document which may throw doubt on priority claim(s) or which is cited to establish the publication date of another claim or other special reason (as specified)</li> <li>"O" document referring to an oral disclosure, i.e., exhibition or other means</li> <li>"P" document published prior to the international filing date but later than the priority date claimed</li> </ul>	
Date of the actual completion of the international search  23 MAY 1997	Date of mailing of the international search report  10 JUN 1997
Name and mailing address of the ISA/US Commissioner of Patents and Trademarks Box PCT Washington, D.C. 20231 Facsimile No. N/A	Authorized officer  HIEU N. NGUYEN <i>(Signature)</i> Telephone No. (703) 508-4888

---

フロントページの続き

(72)発明者 バン ルーイエン, エミール  
アメリカ合衆国, 85044 アリゾナ州, フ  
エニックス, #1069 サウス レイクウッ  
ド パークウェイ ウエスト 15815

(72)発明者 スミット, ウィリアム  
アメリカ合衆国, 85044 アリゾナ州, フ  
エニックス, #1066 サウス レイクウッ  
ド パークウェイ ウエスト 15815

(72)発明者 ソルト, トーマス, シー.  
アメリカ合衆国, 85226 アリゾナ州, チ  
ヤンドラー, ノース シエラ コート